

基于 45 nm SOI CMOS 工艺的 10 bit、125 MS/s 过零检测 Pipeline-SAR ADC 设计

张凯娜, 严鹏程, 宋 焱, 谢 毅, 郭卓奇, 耿 莉

(西安交通大学 微电子学院, 陕西 西安 710049)

摘 要: 基于 45 nm SOI CMOS 工艺, 设计了一款两级流水线级联型逐次逼近 ADC(Pipeline-SAR ADC). 摒弃了传统流水线结构中大功率级间运算放大器, 采用过零比较器和受控电流源完成级间余量放大功能, 极大地减小了 ADC 的功耗. 分析了子 ADC 中比较器失调对 ADC 精度的影响, 提出了一种具有失调校准的动态比较器, 满足了高精度、高速度的要求. 此外, 在设计逐次逼近结构时, 采用共模切换、上极板采样和全定制控制逻辑等技术进一步降低了系统功耗. 仿真结果显示, ADC 在 125 MS/s、奈奎斯特输入频率下, 实现了 60.46 dB 的信噪失真比和 77.33 dB 的无杂散动态范围, 有效位数为 9.75 bit, 系统总功耗只有 1 mW. ADC 的 FoM 值仅为 9.29 fJ/step, 较其他工作有很大的提升.

关键词: 流水线模数转换器; 逐次逼近; 过零检测; 高速动态比较器; 低功耗

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2017)11-0006-05

A 10 bit 125 MS/s Zero Crossing Detection Pipeline-SAR ADC Based on 45 nm SOI CMOS Technology

ZHANG Kai-na, YAN Peng-cheng, SONG Yan, XIE Yi, GUO Zhuo-qi, GENG Li

(School of Microelectronics, Xi'anJiaotong University, Xi'an 710049, China)

Abstract: A two-stage pipeline-SAR ADC is designed in this paper based on 45nm SOI CMOS technology. A zero crossing comparator and controlled current source are used to replace the power-hungry OTA to achieve residual amplification, which reduces the power consumption of ADC greatly. The impact of comparator offset on ADC resolution is analyzed, and a dynamic comparator with calibration is proposed to meet the requirement of high resolution and high speed. Besides, in the design of successive approximation structure, the power is further reduced by adopting common-mode switching, top-plate sampling and full custom control logic. Simulation results show that the signal to noise distortion ratio, spurious free dynamic range and effective number of designed ADC are 60.46 dB, 77.33 dB and 9.75 bit, respectively, at 125 MS/s with Nyquist input frequency. The ADC consumes only 1mW and obtains a much smaller figure-of-merit of 9.29fJ/step comparing with other state of arts.

Key words: pipeline ADC; SAR; zero crossing detection; high speed dynamic comparator; low power

1 引言

随着便携式无线通讯设备、无线传感器、信号监测仪器的发展, 电路系统对模数转换器(ADC)的功

耗提出了越来越苛刻的要求(< 10 fJ/step)^[1]. Pipeline ADC 在高速度、中等精度领域获得了广泛的应用, 然而其需要高增益、高带宽的放大器以满足级间放大精度需求, 因而功耗往往较大. 而逐次逼近型模数转换器(SAR ADC)结构简单, 电路多为动态

收稿日期: 2017-02-23; 修回日期: 2017-03-26

基金项目: 国家自然科学基金(61271089); 陕西省科技统筹创新工程计划(2016KTCQ01-11); 陕西省重点科技创新团队(2013KCT-03)

逻辑,可以实现非常低的功耗.但是,由于 SAR ADC 通常需要 N 个时钟周期才能完成 N 位转换,速度受限,难以满足高速度的要求.

近年来,结合 Pipeline 的高速度和 SAR 低功耗优势的 Pipeline-SAR ADC 成为研究热点^[2-3].然而,传统的级间放大器在 Pipeline ADC 中所占功耗比例较大,成为主要优化对象.文献[2]提出了一种 SAR 辅助型 Pipeline ADC,在速度和功耗间实现了较好的折衷.由于级间放大器仍采用静态运放结构,存在较大的静态功耗,使得该 ADC 的功耗优势并不明显.文献[3]在 Pipelined SAR ADC 中采用基于比较器的开关电容电路实现级间放大,ADC 的功耗仅 $440 \mu\text{W}$,但是其采样速率只有 4.4 MS/s ,FoM 值较大,为 48.8 fJ/step .基于过零检测的级间放大采用动态逻辑,无静态功耗,可实现较高的功率效率.此外,过零检测的性能受工艺尺寸影响较小,可利用工艺尺寸缩减来进一步降低功耗,同时尺寸缩减还可带来转换速度的提升.本文正是利用这一优势,采用 45 nm SOI CMOS 工艺,设计了一款基于过零检测的 10 bit 、 125 MS/s Pipeline-SAR ADC,获得了高速、低功耗的性能.

2 Pipeline-SAR ADC 设计分析

本文设计的 Pipeline-SAR ADC 采用两级结构,第一级、第二级分别为 5 bit 、 6 bit 电荷再分配式异步逻辑 SAR ADC,两级之间采用基于过零检测原理的级间余量放大器 MDAC 实现余量放大功能.

2.1 MDAC 结构对功耗的影响

基于过零检测的 MDAC 结构如图 1 所示^[4],在虚线框中,采用动态逻辑的过零比较器和受控电流源代替了高增益、高带宽的运算放大器.当开关 S_0 、 S_1 闭合时,电路对输入信号进行采样;当开关 S_2 闭合时,过零检测电路工作,通过对过零比较器输入信号过零点的检测,生成数字信号控制电流源 I_s 对负载电容 C_L 的充放电,从而实现级间余量放大.由于电路采用动态结构,相比基于运放的 MDAC,可大幅度降低系统的功耗.

基于运放和过零检测的 MDAC 结构都是对输入残差进行一定倍数的放大,在图 1 的负载电容 C_L 上产生一个输出电压^[5],但是两者的能量效率不同.图 2 为两种 MDAC 对 C_L 充电时电压、电流变化曲线图.如图 2(a) 和 (c) 所示,基于运放的 MDAC 受到运放压摆率的限制,在 t_1 时刻前,运放的尾电流 I_{SS} 全部用于对 C_L 充电, C_L 上电压 $V_{\text{res,OTA}}$ 呈线性增加;

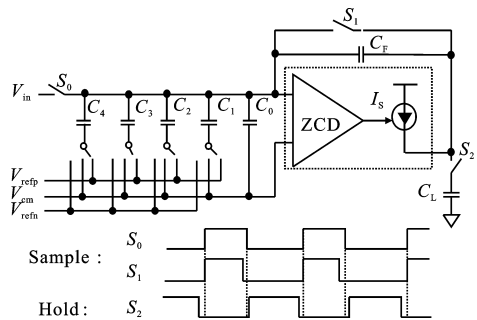


图 1 基于过零检测的 MDAC 结构

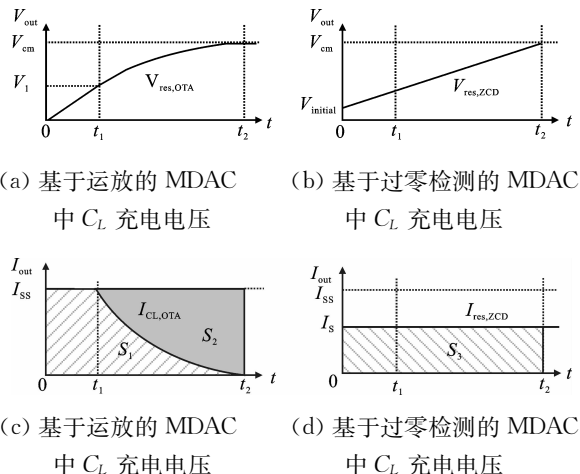


图 2 两种 MDAC 中 C_L 充电电压电流变化情况

当 $V_{\text{res,OTA}}$ 上升到一定程度时, I_{SS} 一部分用于维持运放工作,一部分用于对 C_L 充电,这时 $V_{\text{res,OTA}}$ 呈指数形式趋近最终电压,直到 t_2 时刻完成对负载电容的充电, $V_{\text{res,OTA}}$ 可表示为

$$V_{\text{res,OTA}} = \begin{cases} I_{SS}t/C_L & t < t_1 \\ V_1[1 - \exp(-t/\tau)] & t \geq t_1 \end{cases} \quad (1)$$

式中, τ 为运放对 C_L 充电的时间常数, V_1 为 t_1 时刻电压. 由式(1) 可得对 C_L 充电的电流表达式为

$$I_{C_L,OTA} = \begin{cases} I_{SS} & t < t_1 \\ (V_1/\tau)\exp(-t/\tau) & t \geq t_1 \end{cases} \quad (2)$$

如图 2(b) 和 (d) 所示,在过零检测 MDAC 中,电流源 I_s 仅对 C_L 充电,因此, C_L 的充电电流恒定为 I_s ,电压 $V_{\text{res,ZCD}}$ 始终呈线性变化,满足

$$V_{\text{res,ZCD}} = I_s t / C_L + V_{\text{initial}} \quad (3)$$

式中, V_{initial} 为第二级电容阵列充电前的初始电压.

图 2(c)、(d) 中 S_1 、 S_3 代表两种 MDAC 结构给 C_L 充电所消耗的电荷. 由于对 C_L 充电到相同电压消耗的电荷相同,则 $S_1 = S_3$. 而对于运放结构的 MDAC, S_2 代表的电荷是被运放自身所消耗的,这部分功耗降低了 MDAC 的能量效率,而基于过零检测的 MDAC 没有这部分功耗. 此外,过零检测电路

处于开环状态,没有环路稳定性的要求,不用考虑增益-带宽的折衷问题,设计难度降低。

2.2 高速比较器的失调影响

在 Pipeline-SAR ADC 的子 ADC 中,第一级比较器的失调会通过级间放大器放大,并与放大器失调一同传递到第二级,再加上第二级比较器失调电压的影响,这些将严重制约 ADC 的性能,因此子 ADC 中比较器的失调问题要重点考虑。

低功耗 SAR ADC 中常用的是动态比较器,动态比较器的失调电压可以表示为^[6]

$$V_{OS} = \Delta V_{TH1,2} + \frac{(V_{GS} - V_{TH})_{1,2}}{2} \left(\frac{\Delta S_{1,2}}{S_{1,2}} + \frac{\Delta R}{R} \right) \quad (4)$$

式中, $\Delta V_{TH1,2}$ 为输入对管阈值偏差, $\Delta S_{1,2}$ 为输入对管尺寸失配, ΔR 为输入对管漏端负载阻抗失配。式(4)中第一项为静态失调,第二项为动态失调。

比较器的静态失调会降低输入电压范围,从而降低信噪比。但是静态失调一般较小,对信噪比影响也小。对于比较器的动态失调,假设其标准差 δ_{comp} 符合高斯分布,则由其影响的信噪失真比为

$$SNDR \approx 20 \lg \left(\frac{Amp_{in}}{\sqrt{2} \delta_{comp}} \right) \quad (5)$$

式中, Amp_{in} 为输入信号幅度。在 Pipeline-SAR ADC 中,第一级为 5 bit ADC,需要达到的信噪失真比为 32 dB,考虑到 4 dB 的设计余量,第一级要实现 36 dB 的 SNDR,当输入信号幅度为 1.2 V 时,可计算出第一级比较器的动态失调标准差应小于 13.4 mV。此外,本文设计的 ADC 精度为 10 bit,即 SNDR 为 62 dB,考虑 4 dB 余量与级间 16 倍增益,根据式(5)计算出第二级比较器的动态失调标准差应小于 6.8 mV。以上要求需要在设计比较器时重点考虑,具体电路实现将在 3.2 节叙述。

3 Pipeline-SAR ADC 的电路实现

本文设计的 10 bit、125 MS/s 两级 Pipeline-SAR ADC 整体电路如图 3 所示,主要包含五个部分:两级电荷再分配式异步时序 SAR ADC、过零检测级间放大器、逐次逼近逻辑控制电路和输出寄存器。ADC 工作时,首先输入信号被采样到第一级 SAR ADC 的电容阵列上,经过转换得到 5bit 数字码,此时电容上余量电压的精度为 4 bit;之后余量电压由过零检测放大器放大 $2^4 = 16$ 倍,使其达到满幅度,并传递到第二级电容阵列上,经过转换后得到 6 bit 数字码,其中有 1 bit 是冗余位;这些数字码最终经过输出寄存器进行对齐输出,得到 10 bit 的 ADC 数字转换结果。

3.1 双模输出过零比较器设计

本设计的关键点在于过零比较器和受控电流源组成的 MDAC 上,而过零比较器是过零检测电路的核心。由于引入单向双模电荷转移,要求过零比较器为双模输出,即在产生最终过零信号 Φ_z 之前,提前产生一个虚拟的过零信号 Φ_{ze} ,两个输出分别控制细充电和粗充电过程的开启和关闭。图 4 为设计的双模输出过零比较器,由三部分组成:(1)预放大级,通过一个单级放大器来放大和比较差分输入信号的大小;(2)粗阈值检测级,通过一个电压平移电容 C_{LS} 与第一级放大器相连,在电容两端注入一个恒定的电压,可将阈值降低一定量,从而达到提前检测“过零点”的目的,另外,通过调节 V_{set} 来调节虚拟过零点提前量的大小;(3)细阈值检测级,将第一级放大器的输出转换为数字信号,当检测到差分输入“过零”时,输出由高电平降为低电平,关断细充电电流源,完成级间放大。

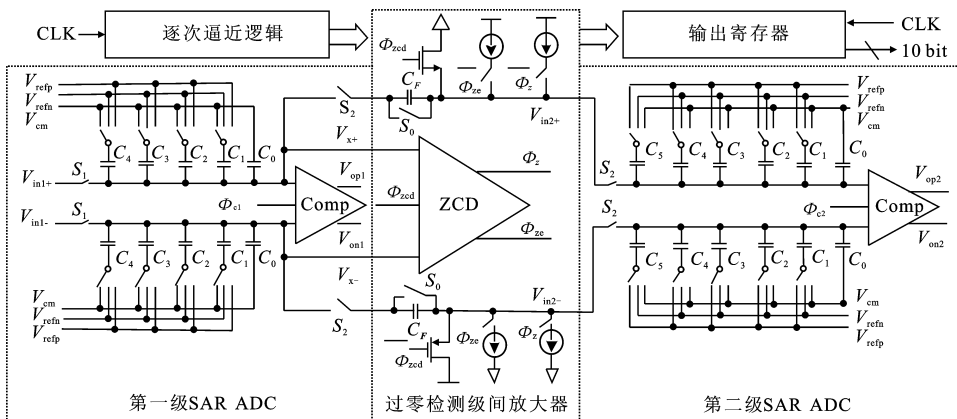


图 3 基于过零检测的 10 bit 两级 Pipeline-SAR ADC 结构

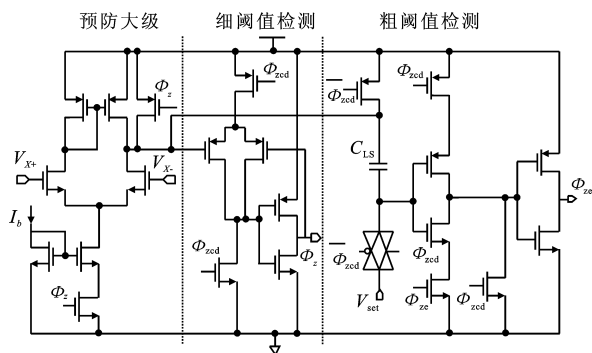


图4 双模输出过零比较器

3.2 子 ADC 电路设计

设计的 Pipeline-SAR ADC 包含两个子 ADC, 分别为 5 bit 和 6 bit 异步时序 SAR ADC, 均采用上极板采样技术和基于共模切换的开关策略。

动态比较器是子 ADC 的重要模块, 本文提出了图 5 所示的高速动态比较器。第一级为预放大结构, 目的是提高比较器增益, 降低噪声。正反馈逻辑加快了比较器翻转速度。第二级为动态锁存结构, 将第一级放大结果进行比较并锁存。此外, 在比较器置位阶段, f_n 及 f_p 中只有一个节点需充电到 VDD, 预放大级两条支路最终均没有静态电流, 相比传统动态比较器进一步降低了功耗。

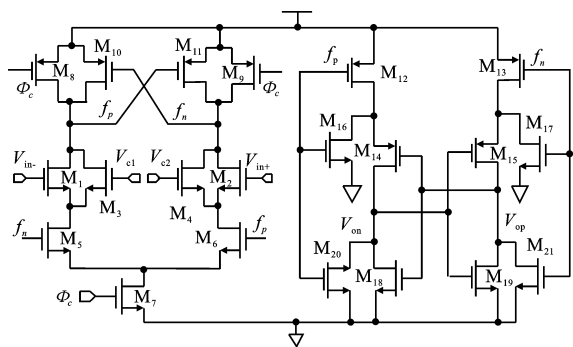


图5 高速动态比较器

基于 2.2 节分析, 对比较器进行了蒙特卡洛仿真, 得到比较器的失调电压均值为 1.5 mV, 标准差为 9.1 mV。1.5 mV 的比较器静态失调电压会使 ADC 的信噪比降低 0.01 dB, 这可以接受; 而对于比较器的动态失调, 仿真结果表明, 其标准差 δ 为 9.1 mV, 无法满足前文的精度分析要求, 需要对失调进行校准。在本设计中, 给输入对管 M_1 、 M_2 并联两个调节管 M_3 、 M_4 , 通过改变调节管的栅压, 在两条支路中引入不平衡补偿电流, 最终可使动态失调控制在 1 LSB (1.17 mV) 以内, 完成对比较器失调的校准。

3.3 逐次逼近控制电路设计

采用全定制方式对 Pipeline-SAR ADC 的数字控制电路进行了设计, 如图 6 所示。控制逻辑利用单次触发形式, 在复位周期将电路预置为初始态, 当满足触发条件后输出跳变到末态, 并保持输出结果。与传统的静态 D 触发器结构相比, 单次触发结构需要的晶体管数量大大减少, 不仅节省了芯片面积, 同时也节省了功耗。

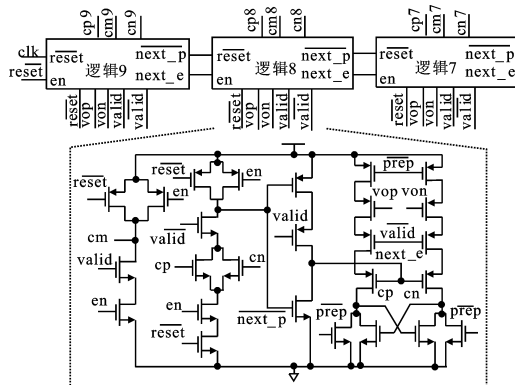


图6 逐次逼近控制电路

4 仿真结果

本文采用 45nm SOI CMOS 工艺, 对设计的两级 Pipeline-SAR ADC 进行了仿真验证, 其模拟、数字电压源均为 1 V。设计中, 采用了差分结构, 增强了对电源波动和噪声的抑制能力, 同时使得 ADC 的输入范围扩大到 $1.2 V_{pp}$ 。

当采样速率 125 MS/s、输入信号频率 62 MHz 时, 对 ADC 的输出信号进行了 FFT 频谱分析, 结果如图 7 所示。ADC 的无杂散动态范围为 77.33 dB, 信噪失真比为 60.46 dB, 有效位数达到 9.75 bit。ADC 的模拟电路功耗为 723 μ W, 数字电路功耗为 277 μ W, 整体功耗只有 1 mW。通过计算, 得到的 FoM 值仅为 9.29 fJ/step。

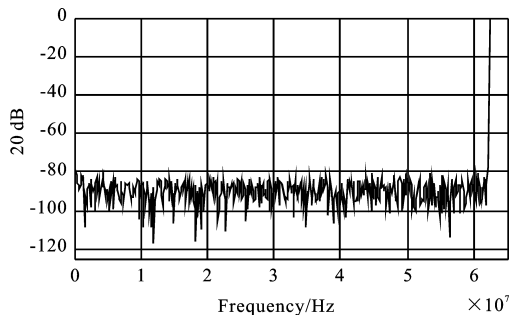


图7 ADC 的 FFT 频谱图

图 8 给出了采样时钟为 125 MHz 情况下,ADC 的 SNDR 随输入信号频率变化的曲线. 由图可知,输入信号频率从 1 MHz 到奈圭斯特输入频率变化时,ADC 的动态性能非常稳定,SNDR 变化幅度只有 1 dB. 当输入信号频率为 10 MHz 时,可获得最好的 SNDR 为 61.18 dB,相应的有效位数为 9.87 bit.

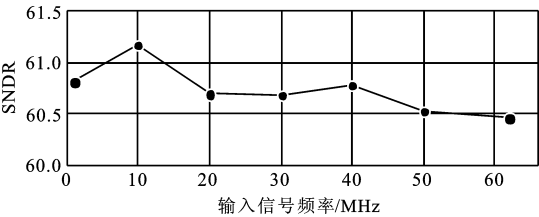


图 8 采样频率为 125 MHz,SNDR 随输入频率的变化

本文设计的 ADC 性能参数与已有文献结果进行了对比,如表 1 所示. 通过对比可见,设计的 ADC 不仅达到了较高的采样速率,并且获得了较低的功耗,与参考文献相比,FoM 有很大的提升.

表 1 Pipeline-SAR ADC 性能对比

性能	文献[2]	文献[3]	文献[7]	本文
工艺/nm	65	65	65	45 SOI
MDAC 结构	运放	比较器	过零检测	过零检测
设计精度/bit	12	11	12	10
采样速度/MHz	50	4.4	50	125
SFDR/dB	78	—	77	77.33
ENOB/bit	10.7	—	10.7	9.75
功耗/mW	3.5	0.44	4.8	1
FoM/(fJ/step)	52	48.8	57	9.29

5 结束语

本文通过将过零检测技术引入到 Pipeline-SAR ADC 的级间放大结构中,在保持 Pipeline-SAR ADC 高速度优势的同时,大大降低了其功耗. 子 ADC 采用基于共模切换策略和上极板采样方式的 SAR ADC,控制逻辑由全定制方法设计,进一步降低了功耗. 过零检测电路采用单向双模电荷转移技术,由此设计了双模输出过零比较器,并提出了一种具有失调校准功能的高速动态比较器. 仿真结果表明,在 1 V 的供电电压和奈圭斯特输入频率下,ADC 的有效位数可达 9.75 bit,功耗只有 1 mW,FoM

值仅为 9.29 fJ/step,与其他同类设计相比具有显著优势.

参考文献:

[1] Harpe P, Cantatore E, Roermund A V. An oversampled 12/14b SAR ADC with noise reduction and linearity enhancements achieving up to 79.1dB SNDR[C]// IEEE International Solid-State Circuits Conference, San Francisco, California, USA, IEEE, 2014;194-195.

[2] Lee C C, Flynn M P. A SAR-assisted two-stage pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2011, 46(4):859-869.

[3] Torres F S. Pipelined SAR with comparator-based switch-capacitor residue amplification [C] // IEEE, Latin American Symposium on Circuits & Systems. [s. l.], 2016.

[4] Yan P, Song Y, Ran P, et al. 10b 25MS/s pipelined SAR ADC with dual-phase zero-crossing detector[J]. Electron Device Letters IEEE , 2008, 29(5):528-528.

[5] 严鹏程. 基于过零检测电路的低功耗 Pipelined SAR 模数转换器设计[D]. 西安:西安交通大学,2015.

[6] Liu C C, Chang S J, Huang G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4):731-740.

[7] Kuppambatti J, Kinget P R. Current reference pre-charging techniques for low-power zero-crossing pipeline-SAR ADCs[J]. IEEE Journal of Solid-State Circuits, 2014, 49(3):683-694.

作者简介:

张凯娜 女,(1991-),硕士研究生. 研究方向为模拟集成电路设计、模数转换器设计.

严鹏程 男,(1989-),硕士研究生. 研究方向为模拟集成电路设计、模数转换器设计.

宋 焱 男,(1988-),博士. 研究方向为低功耗高精度模数转换器设计.

谢 毅 男,(1992-),硕士研究生. 研究方向为数模混合集成电路设计.

郭卓奇 男,(1989-),博士. 研究方向为集成电路与系统设计.

耿 莉(通讯作者) 女,(1969-),教授,博士生导师. 研究方向为低功耗电源管理、数模混合及射频系统的低压低功耗设计、生物医疗芯片、无线传感芯片的模拟及射频前端系统集成. E-mail:gengli@xjtu.edu.cn